

## 計算システム演習問題

- (1) 以下の計算を MIPS のアセンブリコードに変換せよ。但し、A,B,C,Dの変数はレジスタ r1,r2,r3,r4 に予めあるとせよ。

```
C=A+B;
D=D-C;
```

- (2) 以下の計算を MIPS のアセンブリコードに変換せよ。但し、A[0] のアドレスはレジスタ r1 に、c はレジスタ r2 に予めあるとせよ。なお、A は整数型の配列である。

```
A[4]=A[4]+c;
```

- (3) 以下の計算を MIPS コンパイラでコンパイルすると以下のアセンブリコードが出力された。この時、算術命令に4サイクル、分岐命令に3サイクル、ロード命令に5サイクル、ストア命令に4サイクル要するとすると、以下の計算を実行するのに要する総サイクル数はいくらか？またそのときの CPI (Cycle Per Instruction) の値を求めよ。

```
int sum, a[1000], i;
for (i=0; i<1000; i=i+1) { sum = a[i] + sum;}
```

```
1      addiu r8, r0, 4000 %r0 は MIPS では常に 0
2      addiu r7, r0, 0
3  L   addiu r7, r7, 4
4      lw     r10, -4(r7)
5      add    r5, r10, r5 %r5 は sum を保持
6      bne   r7, r8, L
```

- (4) 前問(3)のアセンブラコードを以下に変更した場合の総サイクル数、CPIの値を求めよ。

```
1      addiu r8, r0, 4000 %r0 は MIPS では常に 0
2      addiu r7, r0, 0
3  L   addiu r7, r7, 8
4      lw     r10, -8(r7)
5      lw     r11, -4(r7)
6      add    r5, r10, r5 %r5 は sum を保持
7      add    r5, r11, r5
8      bne   r7, r8, L
```

- (5) 前問(4)のアセンブリコードを実行するプロセッサの周波数を500MHzとする。その場合の総実行時間はいくらか？

- (6) 前問(5)において、プロセッサの設計を変更したところ、ロード命令を4サイクルで実行できるようになったが、クロック周波数が400MHzに下がってしまった。この改良によって、(4)のプログラムを実行する時間は何パーセント短く/長くなるか？

- (7) データキャッシュとして、総容量 4KB, ラインサイズ 32B のダイレクトマップキャッシュを持つプロセッサで前問 (4) のプログラムを実行したときのヒット率を求めよ。但し、初期状態では、キャッシュには配列 A は全く載っていないとする。
- (8) block size = 1 byte , cache size = 4 byte (= 4 block) である , direct-mapped, two-way set associative, fully associative の 3 つのキャッシュがある。これらのキャッシュにおいて、”0,4,0,8,0,12,4” というアドレス順で計 7 回の 1 バイトアクセスがあった場合のキャッシュミス回数を調べよ。但し replace algorithm は LRU とする。但し、初期状態ではキャッシュには何もないとせよ。
- (9) 前問 (8) において、もし replacement algorithm が FIFO であった場合、同様のアクセスに対するキャッシュミス回数を調べよ。
- (10) 物理ページが 3 つしかない仮想記憶において、ページ番号で 0,1,2,3,0,3,5,2,3 という順のアクセスがあった。replacement algorithm に FIFO, LRU を用いた場合の page fault の回数を述べよ。また理想的には page fault は何回に抑えられるはずかも述べよ。
- (11) 算術・論理演算命令に 4 サイクル、分岐命令に 3 サイクル、ロード命令に 5 サイクル、ストア命令に 4 サイクル要するプロセッサがある。あるプログラムを実行すると、総実行命令の中で、算術・論理演算命令が 25%、分岐命令が 20%、ロード命令が 30%、ストア命令が 25% 占めることがわかった。このプログラムを実行した場合の CPI を求めよ。
- (12) 前問 (11) におけるロード命令、ストア命令の実行サイクル数は、キャッシュヒットの場合であったが、キャッシュミスの場合には、それぞれ実行サイクルが 20 サイクル増加するプロセッサを考える。仮に、ロード命令、ストア命令共にヒット率が 80% であったとすると、その場合の CPI はいくらになるか。
- (13) 前問 (12) において、キャッシュヒット率向上のため、キャッシュの連想度を増やす改良を加えた。この改良によりキャッシュヒット率は 90% になったが、クロック周波数が 5% 低下することが判明した。この場合、この改良により、性能はどれだけ向上あるいは低下するかを求めよ。
- (14) バイトアドレッシングを採用するシステムにおいて、メモリ空間の 0x1000 番地から 0x1003 番地に 32bit の整数 0x12345678 を書き込んだ。この時、0x1000 番地には、どういう 1byte データが保持されているか？ big endian と little endian の場合について答えよ。但し '0x' は 16 進数であることを表す表記である。
- (15) MTBF=10 時間、MTTR=10 分の修理系のシステムの availability はいくらか？